**ORGANIZAÇÃO DE COMPUTADORES I/INTRODUÇÃO À ARQUITETURA DE COMPUTADORES – PROVA 2 – 2017/2 – 25 pontos**

**Questão 1:** Um certo processador multiciclo sem *pipeline* emprega 7 estágios. No seu desenvolvimento, os sete estágios geraram uma máquina de estados finitos com 240 estados, cada um representando os sinais para um ciclo de uma instrução. Pretende-se fazer uma lógica de controle baseada em ROM. Assuma também que a máquina, ao ser desenhado o caminho de dados, possui 20 bits de controle para a ALU, 5 para a memória, e mais 30 bits para outras funções (MUXes, extensão de sinal, etc). Indique: (6 pts)

1. Quantos bits seriam necessários para representar os estados do controle?
2. Assumindo um *opcode* de 8 bits, quantos bits seriam necessários para endereçar uma posição de memória na ROM com o controle, assumindo que cada linha da ROM possui os sinais para um estado da máquina de estados?
3. Qual é o tamanho necessário para a ROM, assumindo que o endereçamento é o mesmo da letra b?

**Questão 2:** Os *hazards* são o grande problema dos computadores que implementam pipeline. Existem 3 tipos de *hazards*, a saber *hazard* de desvios, de dados e estruturais. Responda:

1. Explique quando cada um dos *hazards* ocorre. (3 pts)
2. Para cada um dos tipos de *hazard*, indique uma forma para resolve-lo, ou pelo menos minimizar a sua ocorrência. (3 pts)
3. O exemplo de processador com pipeline do livro propõe um processador em que os sinais de controle são separados da lógica de detecção de *hazards*. Explique porque ambos devem ser separados. (2 pts)

**Questão 3:** Vimos que existem a grosso modo três formas de organizar um processador: uniciclo, multiciclo sem *pipeline* e multiciclo com *pipeline*. Explique: (6 pts)

1. Porque a latência de uma instrução (o tempo que demora desde ela ser lida da memória até o momento que ela é completada) é maior nas máquinas multiciclo quando comparado a uma máquina uniciclo?
2. Porque uma máquina multiclo com *pipeline* tem maior desempenho, em termos de número de instruções completadas por segundo, que uma máquina uniciclo, se a máquina uniciclo tem CPI = 1, e a máquina multiciclo com pipeline tem CPI <= 1?
3. Se você fosse organizar, do maior para o menor, o tempo de ciclo de uma máquina uniciclo, multiciclo sem pipeline, e multiciclo com pipeline, como seria essa ordem? Use os operadores “maior que” e/ou “maior ou igual que”. Explique a sua ordem.

**Questão 4:** Tudo em um processador, ao final, está interconectado, de forma que as escolhas em um nível afetam o desempenho de outro nível. Um exemplo é o conjunto de instruções, que influencia na arquitetura interna da máquina. (6 pts)

1. Dê um exemplo de como o conjunto de instruções da máquina pode influenciar na quantidade de *hazards* de dados vistos no *pipeline*.
2. Dê um exemplo de como o conjunto de instruções da máquina pode influenciar na quantidade de *hazards* de dados vistos no *pipeline*. Assuma que o pipeline manterá fixo o número de estágios, somente modificando o conjunto de instruções.
3. Explique brevemente porque a regularidade no conjunto de instruções é importante, do ponto de vista da área de circuito demandada para a lógica de controle do processador.